

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 1 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 9 6 8 4 7
Application Number:

[ST. 10/C] : [J P 2 0 0 3 - 1 9 6 8 4 7]

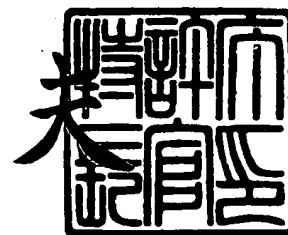
願 人 株 式 会 社 リ コ ー
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 1 月 6 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 1 0 8 6 3 2

【書類名】 特許願

【整理番号】 0305539

【提出日】 平成15年 7月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108
H01L 21/8234

【発明の名称】 複数種類のウエルを備えた半導体装置とその製造方法

【請求項の数】 17

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 吉田 雅昭

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 上田 尚宏

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 貴島 正人

【特許出願人】

 【識別番号】 000006747

 【氏名又は名称】 株式会社リコー

【代理人】

 【識別番号】 100085464

 【弁理士】

 【氏名又は名称】 野口 繁雄

【先の出願に基づく優先権主張】

 【出願番号】 特願2003- 79121

 【出願日】 平成15年 3月20日

【手数料の表示】

【予納台帳番号】 037017

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808801

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 複数種類のウエルを備えた半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 同一基板に 3 種類以上のウエルを備え、そのうちの 1 種類のウエルは他のウエルよりも表面高さが高く、かつ他のウエルの少なくとも 1 種類のウエルに対して自己整合的に隣接して形成されており、

前記他のウエルは互いに導電型、不純物濃度又は接合深さが異なることによって種類が異なり、かつ同一表面高さに形成されている 2 種類以上のウエルを含んでいることを特徴とする半導体装置。

【請求項 2】 前記他のウエルは互いに不純物濃度の異なる 2 種類以上のウエルを含んでいる請求項 1 に記載の半導体装置。

【請求項 3】 前記他のウエルのうち少なくとも 1 種類は高耐圧トランジスタを形成するために必要な程度に不純物濃度が薄く設定されている請求項 2 に記載の半導体装置。

【請求項 4】 前記他のウエルは互いに接合深さの異なる 2 種類以上のウエルを含んでいる請求項 1 に記載の半導体装置。

【請求項 5】 前記他のウエルのうち、接合深さの深いウエルにはそれよりも浅い反対導電型ウエルが形成されたトリプルウエルを含んでいる請求項 4 に記載の半導体装置。

【請求項 6】 前記 1 種類のウエルと前記他のウエルとは導電型が異なる請求項 1 から 5 のいずれかに記載の半導体装置。

【請求項 7】 各種類のウエルに形成されたソース拡散層、ドレイン拡散層及び両拡散層間の領域上にゲート絶縁膜を介して形成されたゲート電極からなる MOS トランジスタを含んでいる請求項 1 から 6 のいずれかに記載の半導体装置。

【請求項 8】 各種類のウエルに形成されたソース拡散層、ドレイン拡散層及び両拡散層間の領域上にゲート絶縁膜を介して形成されたゲート電極からなる MOS トランジスタを含んでおり、トリプルウエルに形成された MOS トランジスタは電源回路を構成する MOS トランジスタ、基板ノイズの影響を受け易い回

路を構成するMOSトランジスタ及びノイズ発生源となる回路を構成するMOSトランジスタのうちのいずれかである請求項5に記載の半導体装置。

【請求項9】 以下の工程（A）から（G）を含んで3種類以上のウエルを同一基板に形成する過程を含んだことを特徴とする半導体装置の製造方法。

（A）半導体基板上にシリコン窒化膜を形成する工程。

（B）工程（A）の後、第1ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の前記シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第1ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

（C）工程（B）の後、酸化性雰囲気中で熱処理を施すことによって、前記シリコン窒化膜で覆われていない領域の基板表面に熱酸化膜を形成すると同時に、工程（B）で半導体基板中に導入された不純物イオンを拡散させ、第1ウエルを形成する工程。

（D）工程（C）の後、前記シリコン窒化膜を除去し、前記熱酸化膜上を含む半導体基板上に第2シリコン窒化膜を形成し、前記第2シリコン窒化膜上に第2ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の前記第2シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第2ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

（E）工程（D）の後、工程（C）と同一酸化条件で、酸化性雰囲気中で熱処理を施すことによって、前記第2シリコン窒化膜で覆われていない領域の基板表面に熱酸化膜を形成すると同時に、工程（D）で半導体基板中に導入された不純物イオンを拡散させ、第2ウエルを形成する工程。

（F）工程（E）の後、前記第2シリコン窒化膜を除去した後、前記熱酸化膜をマスクとして自己整合的に、第3ウエル領域を構成する不純物イオンを半導体基板に導入する工程。

（G）その後、非酸化性雰囲気中で熱処理を施すことによって、前記第3ウエル領域を構成する不純物イオンを拡散させ、第3のウエルを形成する工程。

【請求項10】 工程（D）と（E）を注入イオンの種類、量又は注入条件

を異ならせて複数回繰り返す請求項 9 に記載の製造方法。

【請求項 11】 以下の工程 (A) から (F) を含んで 3 種類以上のウエルを同一基板に形成する過程を含んだことを特徴とする半導体装置の製造方法。

(A) 半導体基板上にシリコン窒化膜を形成する工程。

(B) 工程 (A) の後、第 1 ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の前記シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第 1 ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

(C) 工程 (B) の後、第 2 ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の前記シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第 2 ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

(D) 工程 (B) , (C) の後、酸化性雰囲気中で熱処理を施すことによって、シリコン窒化膜で覆われていない領域の基板表面に熱酸化膜を形成すると同時に、この工程以前に半導体基板中に導入された不純物イオンを拡散させ、第 1 ウエル、第 2 ウエルを形成する工程。

(E) 工程 (D) の後、シリコン窒化膜を除去した後、前記熱酸化膜をマスクとして自己整合的に、第 3 ウエル領域を構成する不純物イオンを半導体基板に導入する工程。

(F) その後、非酸化性雰囲気中で熱処理を施すことによって、前記第 3 ウエル領域を構成する不純物イオンを拡散させ、第 3 のウエルを形成する工程。

【請求項 12】 工程 (B) は次のイオン注入を含む工程に進む前に非酸化性雰囲気中で熱処理を施す工程を含んでいる請求項 11 に記載の製造方法。

【請求項 13】 工程 (B) を注入イオンの種類、量又は注入条件を異ならせて複数回繰り返す請求項 11 又は 12 に記載の製造方法。

【請求項 14】 工程 (B) を注入イオンの種類、量又は注入条件を異ならせて複数回繰り返した後、次のイオン注入を含む工程に進む前に非酸化性雰囲気中で熱処理を施す工程を含んでいる請求項 11 に記載の製造方法。

【請求項 15】 より深いウエルを先に形成する請求項 9 から 14 のいずれ

かに記載の製造方法。

【請求項 16】 最後の非酸化性雰囲気中での熱処理の前に、特定のウエル内にトリプルウエル領域を画定する写真製版でレジストパターンを形成した後、イオン注入によって、前記特定のウエルとは反対導電型の不純物イオンを前記特定のウエルよりも浅くなる条件で半導体基板に導入し、その後、レジストパターンを除去する工程を含んでいる請求項 9 から 15 のいずれかに記載の製造方法。

【請求項 17】 最後の非酸化性雰囲気中での熱処理を行わず、素子分離のためのフィールド酸化の際の熱処理により不純物を拡散させる請求項 9 から 16 のいずれかに記載の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同一基板に 3 種類以上のウエルを備えた半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】

半導体製造プロセスにおけるウエル形成工程は、トランジスタの電気特性を左右するだけでなく、チップ面積や製造コストにまで影響を及ぼす極めて重要な部分である。これまでは N ウエル / P ウエルの 2 種類のウエル形成が一般的であったが、近年のデバイスの高機能化、複合混載化の要望を反映して N ウエル / P ウエル以外に第 3 のウエルの混載が積極的に進められている。

【0003】

この第 3 のウエルの用途としては、

- (1) 濃度の薄いウエルを作り込むことで高耐圧素子の混載を可能にする、
- (2) 深い接合のウエルを作り込むことで 2 重ウエル、すなわちトリプルウエルを形成する、等が挙げられる。

【0004】

濃度の薄いウエルについては、導電型が N 型の場合を「Lightly-N ウエル（ライトリー・エヌ・ウエル）」、P 型の場合を「Lightly-P ウエル」と呼んで

おり、高い電圧帯で動作する高耐圧素子のためには必要不可欠となっている。なお、本明細書において、ウエルの導電型を示す場合、単に「Nウエル」、「Pウエル」と称す。

【0005】

またトリプルウエルについては、負電源回路の混載やノイズ遮断が可能になるだけでなく、DRAM等の信頼性が向上することから、デジタル／アナログ混載LSIやメモリー混載LSIに広く採用されており、今日の携帯電話や携帯情報端末の普及に大きく貢献している。

【0006】

ウエルの種類が4つ、5つと増えた場合でもまったく同様に考えることができるので、ここでは3つのウエルに関して説明を行なう。3種類のウエルは「Nウエル／Pウエル／Lightly-Nウエル」であってもよいし、「Nウエル／Pウエル／Lightly-Pウエル」や「Nウエル／Pウエル／トリプルウエル」であってもよい。

【0007】

3種類のウエルを形成する方法として次の図9で説明する方法が提案されている（特許文献1参照。）。

(A) シリコン基板10に窒化膜1を堆積し、Lightly-Nウエル領域を画定する写真製版でレジストパターン2を形成する。

そのレジストパターン2をマスクにしてレジスト開口部分の窒化膜1をエッチング除去した後、イオン注入技術を用いてリン3を基板10にイオン注入する。

【0008】

(B) レジストパターン2を除去した後、酸化性雰囲気中で熱処理を行なう。この熱処理により、窒化膜1の開口している領域に酸化膜4が成長するとともに、シリコン基板10に注入されたリン3はドライブインされLightly-Nウエル (Lightly-NW) 5cが形成される。

【0009】

(C) 窒化膜1を除去しないでNウエル領域を画定する写真製版でレジストパターン7を形成する。

【0010】

(D) レジスト開口部分の窒化膜 1 をエッチング除去した後、イオン注入技術を用いて基板 10 にリン 8 を基板 10 にイオン注入する。

【0011】

(E) レジストパターン 7 を除去した後、酸化性雰囲気中で熱処理を行なう。この熱処理によりリン 8 が注入された領域に酸化膜 9 が成長するとともに、基板 10 に注入されたリン 8 はドライブインされ N ウェル (NW) 20 が形成される。

このとき、先に形成された酸化膜 4 は、露出しているため酸化膜 9 を形成するための熱処理の影響を受け、当初膜厚よりも厚い膜厚の酸化膜 4c となり、Lightly-N ウェル 5c の表面高さが低くなる。酸化膜 4c の膜厚は酸化の条件によるが、酸化膜 4 を形成するための酸化条件と酸化膜 9 を形成するための酸化条件が同程度であるとすれば、酸化膜 4c の膜厚は酸化膜 9 の膜厚の 2 倍程度になる。

【0012】

(F) 窒化膜 1 を除去した後、イオン注入技術を用いてボロン 11 を基板 10 にイオン注入する。その際、既に形成されている酸化膜 4c, 9 が注入マスクとして機能するようなイオン注入条件を選択する。その結果、酸化膜 4c, 9 以外の領域が P ウェルとして画定する。

【0013】

(G) 窒素雰囲気中で熱処理を行なう。この熱処理により、ボロン 11 が拡散して P ウェル (PW) 12 が形成される。

その後、酸化膜 4c, 9 を除去すれば、Lightly-N ウェル 5c、N ウェル 20、P ウェル 12 の 3 つのウェルが完成する。

【0014】

しかし、この方法では酸化膜 4c が酸化膜 9 よりも厚くなってしまうので、最終的に両者を除去した後に、図 9 (G) に破線の円 13 で示すように、P ウェル 12 と Lightly-N ウェル 5c との間に大きな段差ができてしまう。この段差が大きいと、ここを横断するポリシリコンやメタル等の配線が断線する虞ができてしまう。また、この段差が写真製版の焦点深度を超えてしまうとデバイス形成が

非常に困難なものになってしまう。

【0 0 1 5】

そのようなウエル間の段差を小さくする方法として、1つのウエルについて写真製版→イオン注入→酸化膜形成を2回に分けて行なう方法が提案されている（特許文献2参照。）。その方法では、2回目のイオン注入は1回目に注入された領域の外周領域に行ない、また2回目の酸化による酸化膜の膜厚は1回目の酸化による酸化膜の膜厚より薄くする。そうすることで段差がなだらかな2段型になり段差をまたぐ配線の断線が防止できる、というものである。

しかしながら、この方法では1つのウエル作するために写真製版→イオン注入→酸化膜形成を2回繰り返す必要があり製造工程が長くなってしまう。

【0 0 1 6】

【特許文献1】

特表昭6 1 - 5 0 2 9 9 3号公報

【特許文献2】

特許第2 7 9 5 5 6 5号公報

【0 0 1 7】

【発明が解決しようとする課題】

以上のように、3種類以上のウエルを少ない製造工程で段差が小さくなるように形成する有効な方法は知られておらず、そのような半導体装置も知られていない。

本発明はこの点に鑑みてなされたものであり、3種類以上のウエルが段差の小さい形状で形成された半導体装置と、そのような半導体装置を少ない製造工程で製造する方法を提供することを目的とするものである。

【0 0 1 8】

【課題を解決するための手段】

本発明の半導体装置は、同一基板に3種類以上のウエルを備え、そのうちの1種類のウエルは他のウエルよりも表面高さが高く、かつ他のウエルの少なくとも1種類のウエルに対して自己整合的に隣接して形成されており、上記他のウエルは互いに導電型、不純物濃度又は接合深さが異なり同一表面高さに形成された2

種類以上のウエルを含んでいることを特徴とするものである。

この半導体装置では、3種類以上のウエルを備えているが、段差は1段だけであるので、従来のように2段階の段差を含んでいるのに比べると最大の段差を小さくすることができ、段差を横断する配線が断線するのを防ぐことができ、写真製版の焦点深度を超えるのも防ぐことができる。

【0019】

この半導体装置を製造する本発明製造方法の第1の態様は、以下の工程（A）から（G）を含んで3種類以上のウエルを同一基板に形成する過程を含んでいる。

（A）半導体基板上にシリコン窒化膜を形成する工程。

（B）工程（A）の後、第1ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の上記シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第1ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

（C）工程（B）の後、酸化性雰囲気中で熱処理を施すことによって、上記シリコン窒化膜で覆われていない領域の基板表面に熱酸化膜を形成すると同時に、工程（B）で半導体基板中に導入された不純物イオンを拡散させ、第1ウエルを形成する工程。

（D）工程（C）の後、上記シリコン窒化膜を除去し、上記熱酸化膜上を含む半導体基板上に第2シリコン窒化膜を形成し、上記第2シリコン窒化膜上に第2ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の上記シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第2ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

（E）工程（D）の後、工程（C）と同一酸化条件で、酸化性雰囲気中で熱処理を施すことによって、上記第2シリコン窒化膜で覆われていない領域の基板表面に熱酸化膜を形成すると同時に、工程（D）で半導体基板中に導入された不純物イオンを拡散させ、第2ウエルを形成する工程。

（F）工程（E）の後、上記第2シリコン窒化膜を除去した後、上記熱酸化膜

をマスクとして自己整合的に、第3ウエル領域を構成する不純物イオンを半導体基板に導入する工程。

(G) その後、非酸化性雰囲気中で熱処理を施すことによって、上記第3ウエル領域を構成する不純物イオンを拡散させ、第3のウエルを形成する工程。

【0020】

この半導体装置を製造する本発明製造方法の第2の態様は、以下の工程(A)から(F)を含んで3種類以上のウエルを同一基板に形成する過程を含んでいる。

(A) 半導体基板上にシリコン窒化膜を形成する工程。

(B) 工程(A)の後、第1ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の上記シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第1ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

(C) 工程(B)の後、第2ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の上記シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第2ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

(D) 工程(B), (C)の後、酸化性雰囲気中で熱処理を施すことによって、シリコン窒化膜で覆われていない領域の基板表面に熱酸化膜を形成すると同時に、この工程以前に半導体基板中に導入された不純物イオンを拡散させ、第1ウエル、第2ウエルを形成する工程。

(E) 工程(D)の後、シリコン窒化膜を除去した後、上記熱酸化膜をマスクとして自己整合的に、第3ウエル領域を構成する不純物イオンを半導体基板に導入する工程。

(F) その後、非酸化性雰囲気中で熱処理を施すことによって、上記第3ウエル領域を構成する不純物イオンを拡散させ、第3のウエルを形成する工程。

この製造方法によれば、3種類以上のウエルを段差が1段だけになるように形成することができる。また、最後のウエル形成用のイオン注入はそれまでに形成された酸化膜をマスクとして自己整合的になされるので、写真製版工程を少なく

することができる。

【0021】

本発明において、半導体基板はシリコン基板自体の場合もあるし、シリコン基板上に形成されたエピタキシャル層である場合もある。したがって、本発明において、半導体基板又は基板という表現は、シリコン基板自体のみでなく、エピタキシャル層も含んでいる。

【0022】

【発明の実施の形態】

本発明の半導体装置において、同一表面高さに形成された2種類以上のウエルは互いに不純物濃度の異なる2種類以上のウエルを含んだものとすることができる。その一例として、不純物濃度の異なる2種類以上のウエルのうちの少なくとも1種類は高耐圧トランジスタを形成するために必要な程度に不純物濃度が薄く設定されているものとすることができる。

【0023】

また、同一表面高さに形成された2種類以上のウエルは互いに接合深さの異なる2種類以上のウエルを含んだものとすることができる。その一例として、接合深さの深いウエルにはそれよりも浅い反対導電型ウエルが形成されたトリプルウエルを形成したものを挙げることができる。

【0024】

各ウエルの導電型は任意に選択することができるが、例えば、1種類のウエルとそれ以外の同一表面高さに形成された2種類以上のウエルとは導電型が異なるものとすることができる。

【0025】

本発明の半導体装置の一例は、各種類のウエルに形成されたソース拡散層、ドレイン拡散層及び両拡散層間の領域上にゲート絶縁膜を介して形成されたゲート電極からなるMOSトランジスタを含んだものとすることができる。

【0026】

本発明の半導体装置の他の例は、各種類のウエルに形成されたソース拡散層、ドレイン拡散層及び両拡散層間の領域上にゲート絶縁膜を介して形成されたゲート電極からなるMOSトランジスタを含んだものとすることができる。

ト電極からなるMOSトランジスタを含んでおり、トリプルウエルに形成されたMOSトランジスタは電源回路を構成するMOSトランジスタ、基板ノイズの影響を受け易い回路を構成するMOSトランジスタ及びノイズ発生源となる回路を構成するMOSトランジスタのうちのいずれかとすることができる。

【0027】

本発明では、3種類以上のウエルに種々の半導体素子を形成したり、素子分離その他の目的に使用して種々の半導体装置を構成したりすることができる。

本発明の製造方法の第1の態様において、工程(D)と(E)を注入イオンの種類、量又は注入条件を異ならせて複数回繰り返すことができる。これにより4種類以上のウエルを形成することができる。

【0028】

本発明の製造方法の第2の態様において、工程(B)は次のイオン注入を含む工程に進む前に非酸化性雰囲気中で熱処理を施す工程を含んだものとすることができる。その非酸化性雰囲気中での熱処理により、ウエルの表面高さを変えることなく、その熱処理工程より前に形成された拡散層の深さ、すなわち接合深さを深くすることができる。

【0029】

第2の態様において、工程(B)を注入イオンの種類、量又は注入条件を異ならせて複数回繰り返すことができる。これにより4種類以上のウエルを形成することができる。

【0030】

第2の態様において、工程(B)を注入イオンの種類、量又は注入条件を異ならせて複数回繰り返した後、次のイオン注入を含む工程に進む前に非酸化性雰囲気中で熱処理を施す工程を含むこともできる。これにより4種類以上のウエルを形成することができるとともに、その非酸化性雰囲気中での熱処理により、ウエルの表面高さを変えることなく、その熱処理工程より前に形成された拡散層の接合深さを深くすることができる。

【0031】

先に形成したウエルほど熱処理回数が多くなってより接合深さが深くなるので

、深いウエルほど先に形成するように順序を設定するのが好ましい。

トリプルウエルをもつ半導体装置を製造する場合は、最後の非酸化性雰囲気中での熱処理の前に、特定のウエル内にトリプルウエル領域を画定する写真製版でレジストパターンを形成した後、イオン注入によって、その特定のウエルとは反対導電型の不純物イオンをその特定のウエルよりも浅くなる条件で半導体基板に導入し、その後、レジストパターンを除去する工程を含むようにすればよい。

【0032】

最後の非酸化性雰囲気中での熱処理を行わずに、後工程で行なう素子分離のためのフィールド酸化の熱処理を兼ねることができる。フィールド酸化の熱処理では、ウエル上はシリコン窒化膜で被われるため、ウエル表面には酸化膜が形成されることはなく、したがってウエル表面の高さが変化することがない。このように、熱処理工程を兼用することにより、工程数をより少なくすることができる。

【0033】

【実施例】

以下、実施例について図面を参照して詳細に説明する。

(実施例1)

図1は本発明の半導体装置の第1の実施例を表わす。

P型シリコン基板10の表面には3種類のウエル5, 12, 20が形成されている。ウエル20はN型不純物が導入されて形成されたNウエル(NW)、ウエル5はそれよりも不純物濃度の薄いLightly-Nウエル(Lightly-NW)であり、互いに間隔をもって形成されている。ウエル12は基板10の不純物濃度よりも高濃度にP型不純物が導入されて形成されたPウエル(PW)である。Pウエル12はウエル5, 20に隣接して自己整合的に形成されている。

【0034】

Pウエル12の表面高さはウエル5, 20の表面高さよりも高く、ウエル5とウエル20の表面高さは等しい。この3種類のウエル5, 20, 12の表面高さは2種類であり、段差は小さく抑えられている。

Lightly-Nウエル5とNウエル20の間に形成されたPウエル12は素子分

離の役目を果たしている。

【0035】

30は素子分離用のフィールド酸化膜であり、各ウエル間の境界領域に形成されている。素子分離領域30で分離された素子領域のウエルにはMOSトランジスタが形成されている。図で左端に描かれているPウエル12には、N型拡散層によりソース34とドレイン36が形成され、両拡散層34、36の間の領域上には、ゲート酸化膜31を介してポリシリコンにてなるゲート電極32が形成されてNチャネルMOSトランジスタを構成している。

【0036】

Nウエル20ではその素子領域にP型拡散層によるソース40とドレイン42が形成され、両拡散層40、42の間の領域上には、ゲート酸化膜37を介してポリシリコンにてなるゲート電極38が形成されてPチャネルMOSトランジスタを構成している。

Lightly-Nウエル5ではその素子領域にP型拡散層によるソース46とドレイン48が形成され、両拡散層46、48の間の領域上には、ゲート酸化膜43を介してポリシリコンにてなるゲート電極44が形成されてPチャネルMOSトランジスタを構成している。

これらのMOSトランジスタを被うように層間絶縁膜50が形成され、コンタクトホールを介して各拡散層にメタル配線52が接続されている。

【0037】

(製造方法1)

図1の半導体装置を製造する方法の一実施例を図2により説明する。

(A) シリコン基板10に窒化膜(シリコン窒化膜)1を膜厚約100nm(ナノメートル)の厚さに堆積する。図示は省略しているが、半導体基板上に窒化膜を形成するときは、酸化膜を介して窒化膜を形成する。以下の実施例においても同様である。

窒化膜1上にLightly-Nウエル領域を画定する写真製版でレジストパターン2を形成する。

レジスト開口部分の窒化膜1をエッチング除去した後、イオン注入技術を用い

て加速エネルギー 160 KeV 、注入量 $5 \times 10^{12}\text{ cm}^{-2}$ でリン 3 を基板 10 にイオン注入する。

【0038】

(B) レジストパターン 2 を除去した後、酸化性雰囲気中、 920°C で 120 分間熱処理を行なう。酸化性雰囲気とは酸素を含む雰囲気であり、例えば空气中又は酸素中である。この熱処理により、窒化膜 1 の開口している領域に酸化膜 4 が膜厚約 300 nm の厚さに成長するとともに、基板 10 に注入されたリン 3 はドライブインされ Lightly-N ウエル 5 が形成される。

【0039】

(C) 窒化膜 1 を除去した後、再度、窒化膜（第 2 シリコン窒化膜）6 を膜厚約 100 nm の厚さに堆積する。

【0040】

(D) N ウエル領域を画定する写真製版でレジストパターン 7 を形成する。

そのレジストパターン 7 をマスクにしてレジスト開口部分の窒化膜 6 をエッチング除去した後、イオン注入技術を用いて加速エネルギー 160 KeV 、注入量 $1 \times 10^{13}\text{ cm}^{-2}$ でリン 8 を基板 10 にイオン注入する。

【0041】

(E) レジストパターン 7 を除去した後、 920°C の酸化性雰囲気中で 120 分間熱処理を行なう。この熱処理により、窒化膜 6 の開口している領域に酸化膜 9 が膜厚約 300 nm の厚さに成長するとともに、基板 10 に注入されたリン 8 はドライブインされ N ウエル 20 が形成される。このとき、先に形成された酸化膜 4 は窒化膜 6 に覆われているため酸化が進行することはない。つまり、はじめに形成した膜厚約 300 nm がそのまま維持される。

【0042】

(F) 窒化膜 6 を除去した後、イオン注入技術を用いてボロン 11 を基板 10 に自己整合的にイオン注入する。その際、既に形成されている酸化膜 4, 9 が注入マスクとして機能するようなイオン注入条件を選択する。条件としては加速エネルギー 30 KeV 、注入量 $1 \times 10^{13}\text{ cm}^{-2}$ が適当である。この結果、酸化膜 4, 9 以外の領域が P ウエルとして画定する。

【0 0 4 3】

(G) 非酸化性雰囲気、例えば窒素雰囲気、1 1 5 0℃で6 0分間の熱処理を行なう。これにより、ボロン 1 1 が拡散してPウエル 1 2 が形成される。

表面の酸化膜 4, 9 を除去すると、Lightly-Nウエル 5、Nウエル 2 0、Pウエル 1 2 の3つのウエルが完成する。

【0 0 4 4】

なお、最後の1 1 5 0℃での熱処理を行わず、ボロン 1 1 の拡散を素子分離として行なうフィールド酸化で兼用してもよい。

Lightly-Nウエル 5 とNウエル 2 0 は酸化膜 4, 9 を形成したことで、その表面高さがPウエル 1 2 よりは低くなる。

【0 0 4 5】

この方法の利点として、酸化膜 4 の膜厚が形成直後から変らない点が挙げられる。すなわち、工程 (B) で形成された酸化膜 4 は、その後、工程 (C) で窒化膜 6 により覆われるので、後の工程 (E) での酸化膜 9 の形成処理の影響を受けることがない。その結果、工程 (B) と (E) での酸化条件を揃えることにより、酸化膜 4 の膜厚と酸化膜 9 の膜厚を等しくすることができる。このことは酸化膜 4, 9 を除去した後の形状、すなわち、(G) に示される状態において、Lightly-Nウエル 5 の表面高さと、Nウエル 2 0 の表面高さが等しくなることを意味する。これらのウエル 5, 2 0 の表面高さが等しければ、「Lightly-Nウエル 5 とPウエル 1 2 との段差」と「Nウエル 2 0 とPウエル 1 2 との段差」(ともに破線円 1 3 で図示) は同じ形状になり、この後の製造プロセスを進める上で都合がよい。さらに元々の酸化膜 4, 9 の膜厚がともに約 3 0 0 nm であるので段差の絶対値としても問題になることはない。

【0 0 4 6】

その後、通常のプロセスに従って素子分離用のフィールド酸化膜 3 0 を形成し、ゲート酸化膜 3 1, 3 7, 4 3 を介してゲート電極 3 2, 3 8, 4 4 を形成し、ソース、ドレインのための拡散層 3 4, 3 6, 4 0, 4 2, 4 6, 4 8 を形成し、層間絶縁膜 5 0 を形成し、コンタクトホールを介してメタル配線 5 2 を形成すれば図 1 に示される半導体装置となる。

【0047】

(製造方法2)

図3も図1の半導体装置を形成するウエルを形成する方法を示したものであり、製造方法の他の実施例である。

(A) シリコン基板10に窒化膜1を膜厚約100nmの厚さに堆積し、Lightly-Nウエル領域を画定する写真製版でレジストパターン2を形成する。

レジスト開口部分の窒化膜1をエッチング除去した後、イオン注入技術を用いて加速エネルギー160KeV、注入量 $5 \times 10^{12} \text{ cm}^{-2}$ でリン3を基板10にイオン注入する。

【0048】

(B) レジストパターン2を除去した後、Nウエル領域を画定する写真製版で再度レジストパターン7を形成する。

レジスト開口部分の窒化膜1をエッチング除去した後、イオン注入技術を用いて加速エネルギー160KeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ でリン8を基板10にイオン注入する。

【0049】

(C) レジストパターン7を除去した後、920℃の酸化性雰囲気中で120分間熱処理を行なう。これにより、窒化膜1の開口している領域に酸化膜4, 9が成長する。このとき、窒化膜1の開口している領域は「Lightly-Nウエル領域」と「Nウエル領域」の2つであるので、この両方が同時に酸化され膜厚約300nmの酸化膜4、酸化膜9が同時に形成される。それと同時に基板10に注入されたリン3、リン8が同時にドライブインされ、Lightly-Nウエル5とNウエル20が形成される。

【0050】

(D) 窒化膜1を除去した後、イオン注入技術を用いてボロン11を基板10に自己整合的にイオン注入する。その際、既に形成されている酸化膜4, 9が注入マスクとして機能するようなイオン注入条件を選択する。条件としては加速エネルギー30KeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ が適当である。この結果、酸化膜4, 9以外の領域がPウエルとして画定する。

【0051】

(E) 非酸化性雰囲気、例えば窒素雰囲気、1150℃で60分間の熱処理を行なう。これにより、ボロン11が拡散してPウェル12が形成される。

表面の酸化膜4, 9を除去すればLightly-Nウェル5、Nウェル20、Pウェル12の3つのウェルが完成する。

なお、最後の1150℃での熱処理を行わず、ボロン11の拡散を素子分離として行なうフィールド酸化で兼用してもよい。

【0052】

その後、通常のプロセスに従って素子分離用のフィールド酸化膜30を形成し、ゲート酸化膜31, 37, 43を介してゲート電極32, 38, 44を形成し、ソース、ドレインのための拡散層34, 36, 40, 42, 46, 48を形成し、層間絶縁膜50を形成し、コンタクトホールを介してメタル配線52を形成すれば図1に示される半導体装置となる。

【0053】

この方法の利点として、Lightly-Nウェル5の領域の酸化膜4とNウェル20の領域の酸化膜9は同一工程で形成されるので、それらの酸化膜4, 9の膜厚が等しい点が挙げられる。その結果、酸化膜4, 9を除去した後の形状、すなわち、(E)に示される状態において、Lightly-Nウェル5の表面高さと、Nウェル20の表面高さが等しくなる。これらのウェル5, 20の表面高さが等しいので、図2の実施例と同じく、「Lightly-Nウェル5とPウェル12との段差」と「Nウェル20とPウェル12との段差」は同じ形状になり、この後の製造プロセスを進める上で都合がよい。さらに酸化膜4, 9の膜厚がともに約300nmであるので段差の絶対値としても問題になることはない。

【0054】

(実施例2)

図4は半導体装置の第2の実施例を表わしたものである。図1の実施例の半導体装置と比較すると、Lightly-Nウェルが2種類となっている点で異なる。Lightly-Nウェル5aはLightly-Nウェル5bよりも拡散深さ、すなわち接合深さが深くなっている。Nウェル20とLightly-Nウェル5bの間、Lightly-N

ウエル 5 a と Lightly-N ウエル 5 b の間にそれぞれ P ウエル 1 2 が自己整合的に形成されており、ウエル間の素子分離の役目をしている。

【0055】

この実施例においてもフィールド酸化膜 3 0 で分離された素子領域にそれぞれ MOS トランジスタが形成されている。Lightly-N ウエル 5 a では P 型拡散層によるソース 4 6 a とドレイン 4 8 a が形成され、両拡散層 4 6 a, 4 8 a の間の領域上には、ゲート酸化膜 4 3 a を介してポリシリコンにてなるゲート電極 4 4 a が形成されて P チャネル MOS トランジスタを構成している。Lightly-N ウエル 5 b では P 型拡散層によるソース 4 6 b とドレイン 4 8 b が形成され、両拡散層 4 6 b, 4 8 b の間の領域上には、ゲート酸化膜 4 3 b を介してポリシリコンにてなるゲート電極 4 4 b が形成されて P チャネル MOS トランジスタを構成している。

これらの MOS トランジスタを被うように層間絶縁膜 5 0 が形成され、コンタクトホールを介して各拡散層にメタル配線 5 2 が接続されている。

【0056】

図 4 の半導体装置を製造するためのウエルを形成する方法を図 5 により説明する。

(A) シリコン基板 1 0 に窒化膜 1 を膜厚約 1 0 0 nm の厚さに堆積する。

その窒化膜 1 上に、第 1 の Lightly-N ウエル領域を画定する写真製版でレジストパターン 2 a を形成する。

レジスト開口部分の窒化膜 1 をエッチング除去した後、イオン注入技術を用いて加速エネルギー 1 6 0 KeV、注入量 $5 \times 10^{12} \text{ cm}^{-2}$ でリン 3 a を基板 1 0 にイオン注入する。

【0057】

(B) レジストパターン 2 a を除去した後、非酸化性雰囲気、例えば窒素雰囲気、1 1 5 0 °C で 3 時間の熱処理を行なう。これにより、リン 3 a がドライブインされ第 1 の Lightly-N ウエル 5 a が形成される。

【0058】

(C) 窒化膜 1 上に、第 2 の Lightly-N ウエル領域を画定する写真製版で再

度レジストパターン 2 b を形成する。

レジスト開口部分の窒化膜 1 をエッチング除去した後、イオン注入技術を用いて加速エネルギー 160 KeV 、注入量 $8 \times 10^{12}\text{ cm}^{-2}$ でリン 3 b を基板 10 にイオン注入する。

【0059】

(D) レジストパターン 2 b を除去した後、非酸化性雰囲気、例えば窒素雰囲気、 1150°C で 3 時間の熱処理を行なう。これにより、リン 3 b がドライブインされ第 2 の Lightly-N ウエル 5 b が形成される。この熱処理により、第 1 の Lightly-N ウエル 5 a は、追加でドライブインされるため、工程 (B) の段階より深くなる。

【0060】

(E) 次に、窒化膜 1 上に、N ウエル領域を画定する写真製版でレジストパターン 7 を形成する。

レジスト開口部分の窒化膜 1 をエッチング除去した後、イオン注入技術を用いて加速エネルギー 160 KeV 、注入量 $1 \times 10^{13}\text{ cm}^{-2}$ でリン 8 を基板 10 にイオン注入する。

【0061】

(F) レジストパターン 7 を除去した後、酸化性雰囲気、 920°C で 120 分間熱処理を行なう。これより、窒化膜 1 の開口している領域に酸化膜が成長する。このとき、窒化膜 1 の開口している領域は「第 1 の Lightly-N ウエル領域」、「第 2 の Lightly-N ウエル領域」及び「N ウエル領域」の 3 つであるのこれらの領域が同時に酸化され、膜厚約 300 nm の酸化膜 4 a、酸化膜 4 b、酸化膜 9 がそれぞれのウエル領域上に同時に形成される。それと同時に基板 10 に注入されたリン 8 がドライブインされ、N ウエル 20 が形成される。また、この熱処理により第 1 の Lightly-N ウエル 5 a と第 2 の Lightly-N ウエル 5 b は追加でドライブインされるため接合深さが深くなる。

【0062】

(G) 窒化膜 1 を除去した後、イオン注入技術を用いてボロン 11 を基板 10 に自己整合的にイオン注入する。その際、既に形成されている酸化膜 4 a、酸化

膜 4 b、酸化膜 9 が注入マスクとして機能するようなイオン注入条件を選択する。条件としては加速エネルギー 30 KeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ が適当である。その結果、酸化膜 4 a、酸化膜 4 b、酸化膜 9 以外の領域が P ウェルとして画定する。

【0063】

(H) 次に、非酸化性雰囲気、例えば窒素雰囲気、1150℃で60分間の熱処理を行なう。これにより、ボロン 11 が拡散して P ウェル 12 が形成される。また、この熱処理により第 1 の Lightly-N ウェル 5 a、第 2 の Lightly-N ウェル 5 b 及び N ウェル 20 は追加でドライブインされるため、それらの接合深さが深くなる。

なお、最後の 1150℃での熱処理を行わず、ボロン 11 の拡散を素子分離として行なうフィールド酸化で兼用してもよい。

【0064】

表面の酸化膜 4 a、酸化膜 4 b、酸化膜 9 を除去すると、第 1 の Lightly-N ウェル 5 a、第 2 の Lightly-N ウェル 5 b、N ウェル 20 及び P ウェル 12 の 4 つのウェルが完成する。

【0065】

その後、通常のプロセスに従って素子分離用のフィールド酸化膜 30 を形成し、ゲート酸化膜 31、37、43 a、43 b を介してゲート電極 32、38、44 a、44 b を形成し、ソース、ドレインのための拡散層 34、36、40、42、46 a、48 a、46 b、48 b を形成し、層間絶縁膜 50 を形成し、コンタクトホールを介してメタル配線 52 を形成すれば図 4 に示される半導体装置となる。

【0066】

この方法の利点として、第 1 の Lightly-N ウェル 5 a の領域の酸化膜 4 a、第 2 の Lightly-N ウェル 5 b の領域の酸化膜 4 b 及び N ウェル 20 の領域の酸化膜 9 は同一工程で形成されるので、それらの酸化膜 4 a、4 b、9 の膜厚が等しい点が挙げられる。その結果、酸化膜 4 a、4 b、9 を除去した後の形状、すなわち、(H) に示される状態において、第 1 の Lightly-N ウェル 5 a、第 2

のLightly-Nウエル5 b及びNウエル20の表面高さが全て等しくなる。これらのウエル5 a, 5 b, 20の表面高さが等しいので、「第1のLightly-Nウエル5 aとPウエル12との段差」、「第2のLightly-Nウエル5 bとPウエル12との段差」及び「Nウエル20とPウエル12との段差」は全て同じ形状になり、この後の製造プロセスを進める上で都合がよい。さらに酸化膜4 a, 4 b, 9の膜厚がともに約300 nmであるので段差の絶対値としても問題になることはない。

【0067】

図5に示されたこの実施例では、工程(A)と(B)で示される写真製版、エッチング、イオン注入、レジスト除去及び非酸化性雰囲気中での熱処理の一連の工程を2回数繰り返すことで、合計4個のウエルを形成する方法を示したが、繰り返し回数を任意に(n回)設定することで、(n+2)個のウエルを段差の増加なしに形成することができる。

【0068】

また、工程(B), (D)での熱処理は省略して後の熱処理工程で兼ねるようにしてもよい。このように、途中での熱処理工程を挿入するかしないかを選択したり、熱処理時間を調整したりすることで、所望の深さのウエルを形成することができる。熱処理工程が複数になる場合は、より深くしたいウエルから先に形成すればよい。

【0069】

(実施例3)

図6は半導体装置の第3の実施例を表わす。

図1の実施例の半導体装置と比較すると、Lightly-Nウエル5内に、Lightly-Nウエル5よりも浅い反対導電型IPウエル(IPW)28が形成されたトリプルウエル構造となっている点で異なる。

IPウエル28はLightly-Nウエル5によってP型のシリコン基板10から分離されており、基板10とは独立して電位をかけることができ、基板からのノイズの影響を受け難い性質をもつ。そのため、IPウエル28にはノイズ対策が必要とされる用途に使用されるMOSトランジスタや、負電源電圧用トランジス

タなど、基板の影響を受けないMOSトランジスタを作り込むのに好都合である。

【0070】

IPウエル28にはその素子領域にN型拡散層によるソース56とドレイン58が形成され、両拡散層56, 58の間の領域上には、ゲート酸化膜53を介してポリシリコンにてなるゲート電極54が形成されてNチャネルMOSトランジスタを構成している。

これらのMOSトランジスタを被うように層間絶縁膜50が形成され、コンタクトホールを介して各拡散層にメタル配線52が接続されている。

【0071】

図6の半導体装置を製造するためのウエルを形成する方法を図7と図8により説明する。

(A) シリコン基板10に窒化膜1を膜厚約100nmの厚さに堆積する。

その窒化膜1上に、Lightly-Nウエル領域を画定する写真製版でレジストパターン2を形成する。

レジスト開口部分の窒化膜1をエッチング除去した後、イオン注入技術を用いて加速エネルギー160KeV、注入量 $5 \times 10^{12} \text{ cm}^{-2}$ でリン3を基板10にイオン注入する。

【0072】

(B) レジストパターン2を除去した後、非酸化性雰囲気、例えば窒素雰囲気で、1150℃で5時間の熱処理を行なう。これにより、リン3がドライブインされLightly-Nウエル5が形成される。

【0073】

(C) 次に、窒化膜1上に、Nウエル領域を画定する写真製版でレジストパターン7を形成する。

レジスト開口部分の窒化膜1をエッチング除去した後、イオン注入技術を用いて加速エネルギー160KeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ でリン8を基板10にイオン注入する。

【0074】

(D) レジストパターン7を除去した後、酸化性雰囲気、920℃で120分間熱処理を行なう。これにより、窒化膜1の開口している領域に酸化膜が成長する。このとき、窒化膜1の開口している領域は「Lightly-Nウエル領域」と「Nウエル領域」の2つであるので、この両方が同時に酸化され、膜厚約300nmの酸化膜9と酸化膜4がそれぞれのウエル領域上に同時に形成される。それと同時に基板10に注入されたリン8がドライブインされ、Nウエル20が形成されるとともに、先に形成されたLightly-Nウエル領域5の接合深さが深くなる。

【0075】

(E) 窒化膜1を除去した後、イオン注入技術を用いてボロン11を基板10に自己整合的にイオン注入する。その際、既に形成されている酸化膜9、酸化膜4が注入マスクとして機能するようなイオン注入条件を選択する。条件としては加速エネルギー30KeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ が適当である。その結果、酸化膜9、酸化膜4以外の領域がPウエルとして画定する。

【0076】

(F) 非酸化性雰囲気、例えば窒素雰囲気、1150℃で60分間の熱処理を行なう。これにより、ボロン11が拡散してPウエル12が形成されるとともに、先に形成されたLightly-Nウエル領域5及びNウエル20の接合深さが深くなる。

表面の酸化膜9及び酸化膜4を除去すれば、Lightly-Nウエル5、Nウエル20及びPウエル12の3つのウエルが形成される。

【0077】

(G) その後、酸化性雰囲気、920℃で10分間熱処理することにより、基板10上に約20nmの厚さの酸化膜22を形成する。その酸化膜22上にIPウエル（深いLightly-ウエル内の反対導電型の相対的に浅いウエル）領域を画定する写真製版でレジストパターン24を形成する。

レジスト開口部分からイオン注入技術を用いて加速エネルギー180KeV、注入量 $1.6 \times 10^{13} \text{ cm}^{-2}$ でボロン26を基板10にイオン注入する。

【0078】

(H) レジストパターン 24 を除去した後、非酸化性雰囲気、例えば窒素雰囲気、1000℃で160分間の熱処理を行なう。これにより、ボロン 26 が Lightly-N ウエル 5 内に拡散し、最終的に Lightly-N ウエル 5、N ウエル 20、P ウエル 12、IP ウエル 28 の計 4 つのウエルが形成される。

なお、最後の 1000℃での熱処理を行わず、ボロン 26 の拡散を素子分離として行なうフィールド酸化で兼用してもよい。

【0079】

その後、酸化膜 22 を除去し、通常のプロセスに従って素子分離用のフィールド酸化膜 30 を形成し、ゲート酸化膜 31、37、53 を介してゲート電極 32、38、54 を形成し、ソース、ドレインのための拡散層 34、36、40、42、56、58 を形成し、層間絶縁膜 50 を形成し、コンタクトホールを介してメタル配線 52 を形成すれば図 6 に示される半導体装置となる。

【0080】

この方法でも Lightly-N ウエル 5 の領域の酸化膜 4 と N ウエル 20 の領域の酸化膜 9 は同一工程で形成されるので、それらの酸化膜 4、9 の膜厚が等しくなり、その結果、酸化膜 4、9 を除去した後の形状、すなわち、(F) に示される状態において、Lightly-N ウエル 5 の表面高さと、N ウエル 20 の表面高さが等しくなる。

以上の実施例において、ウエルの導電型は一例であり、例示のものに限らない。例えば、イオン注入に用いたイオン種を、リンをボロンに、またボロンをリンに置き換えれば、導電型を逆にすることができる。

【0081】

【発明の効果】

請求項 1 から 8 にかかる本発明の半導体装置によれば、同一基板に 3 種類以上のウエルを備えているが、ウエルの表面高さは 2 種類であるので、段差が少なく、ウエル境界の段差部を横断する配線の信頼性の高い半導体装置となる。

請求項 2 にかかる本発明の半導体装置によれば、不純物濃度の異なる複数種類のウエルを含んでいるので、仕様に応じたトランジスタを形成するのが容易になる。

その一例は請求項 3 にかかる本発明の半導体装置であり、高耐圧トランジスタを形成するために必要な程度に不純物濃度が薄く設定されているウエルを備えている。

【0082】

請求項 4 にかかる本発明の半導体装置によれば、接合深さの異なる 2 複数種類のウエルを含んでいるので、仕様に応じたトランジスタを形成するのが容易になる。

請求項 5, 8 にかかる本発明の半導体装置によれば、トリプルウエルを含んでいるので、基板とは分離した、基板と同一導電型のウエルを形成できるので、負電源回路が搭載できる。また、基板ノイズが強くなるので、基板ノイズに敏感な回路を構成するトランジスタを作り込んだり、さらには DC/DC コンバータのようなノイズ発生源となる回路を構成するトランジスタを作り込んだりすることによってそのような回路を同一チップに搭載することができるようになる。

【0083】

請求項 6 にかかる本発明の半導体装置によれば、1 種類のウエルが他の複数のウエルと導電型が異なっているので、その 1 種類のウエルにトランジスタを形成できるだけでなく、他のウエル間の素子分離としても利用することができるようになる。

【0084】

請求項 9 にかかる本発明の製造方法によれば、複数のウエル領域に同じ酸化条件で酸化膜を形成する。請求項 11 にかかる本発明の製造方法によれば、複数のウエル領域に同一酸化工程で同じ酸化膜を形成する。このようにして形成された酸化膜は互いに膜厚が等しいので、それらのウエルの表面高さは等しくなる。そして、1 種類のウエル（第 3 のウエル）はそれらの酸化膜をマスクとして自己整合的に形成する。このようにして、段差の少ないウエルを同一基板上に複数作成できるので、ウエル形成以降の半導体装置形成工程における写真製版のフォーカスマージンを確保できる。また、ウエル境界の段差部を横断する配線のショートや断線を防止できる。

また、1 種類のウエルについては自己整合により形成するので、写真製版工程

が1つ少なくなり、少ない製造工程で実現できる、

【0085】

請求項10と請求項13にかかる本発明の製造方法によれば、段差の少ないウエルを必要な数だけ作成できるので、複数デバイスに対して最適なウエルを作成することができる。

【0086】

請求項12にかかる本発明の製造方法によれば、複数作成するウエルプロファイルの設定自由度が向上する。

請求項14にかかる本発明の製造方法によれば、複数のウエルで非酸化性雰囲気中での熱処理を共通化するので、熱処理工程の数を減らすことができる。

【0087】

請求項15にかかる本発明の製造方法によれば、微細デバイスが作り込まれる浅いウエルに対して、深いウエル形成の影響を避けることができる。したがって、微細デバイス及びその回路のライブラリ化が可能となる。

【0088】

請求項16にかかる本発明の製造方法によれば、段差を減らした状態でトリプルウエルを含む半導体装置を形成することができる。

請求項17にかかる本発明の製造方法によれば、最後の非酸化性雰囲気中での熱処理を行わず、素子分離のためのフィールド酸化の際の熱処理により不純物を拡散させるので、熱処理工程を少なくすることができる。

【図面の簡単な説明】

【図1】

半導体装置の第1の実施例を示す断面図である。

【図2】

同実施例の製造方法の一実施例を示す工程断面図である。

【図3】

同実施例の製造方法の他の実施例を示す工程断面図である。

【図4】

半導体装置の第2の実施例を示す断面図である。

【図 5】

同実施例の製造方法の一実施例を示す工程断面図である。

【図 6】

半導体装置の第 3 の実施例を示す断面図である。

【図 7】

同実施例の製造方法の一実施例の工程の前半部を示す工程断面図である。

【図 8】

同実施例の製造方法の一実施例の工程の後半部を示す工程断面図である。

【図 9】

3 種類のウェルを形成する従来方法を示す工程断面図である。

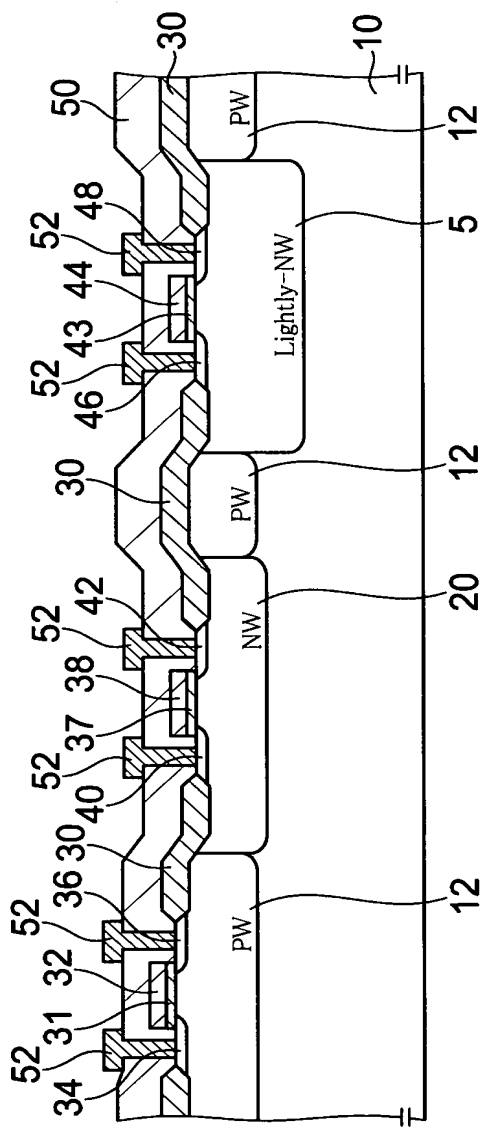
【符号の説明】

- 1, 6 窒化膜
- 2, 7, 2 4 レジストパターン
- 3, 8 リン
- 5, 5 a, 5 b Lightly-N ウェル
- 4, 9, 2 2 酸化膜
- 1 0 シリコン基板
- 1 1 ボロン
- 1 2 P ウェル
- 2 0 N ウェル
- 2 8 トリプルウェルの I P ウェル
- 3 0 フィールド酸化膜
- 3 1, 3 7, 4 3, 4 3 a, 4 3 b, 5 3 ゲート酸化膜
- 3 2, 3 8, 4 4, 4 4 a, 4 4 b, 5 4 ゲート電極
- 3 4 N 型ソース用の拡散層
- 3 6 N 型ドレイン用の拡散層
- 4 0, 4 6, 4 6 a, 4 6 b, 5 6 P 型ソース用の拡散層
- 4 2, 4 8, 4 8 a, 4 8 b, 5 8 P 型ドレイン用の拡散層
- 5 0 層間絶縁膜

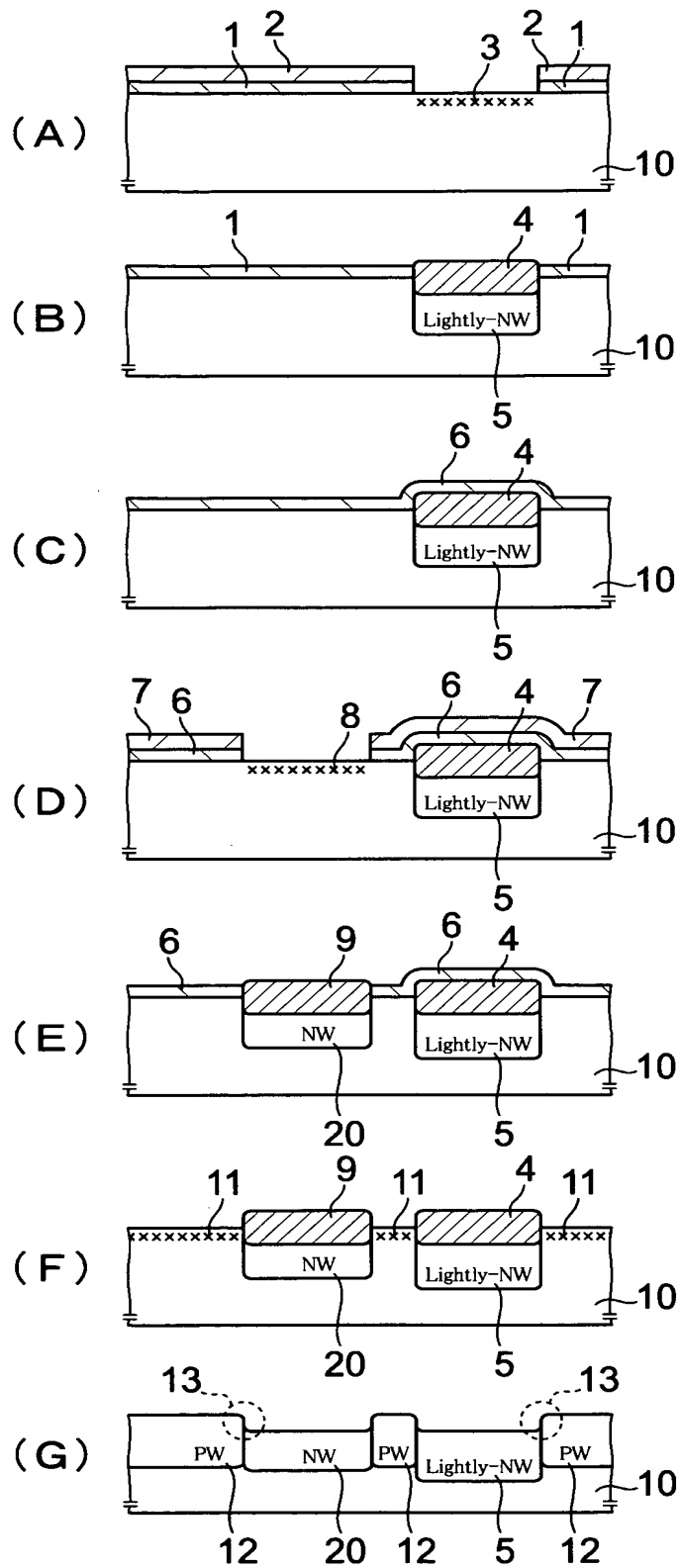
5 2 メタル配線

【書類名】 図面

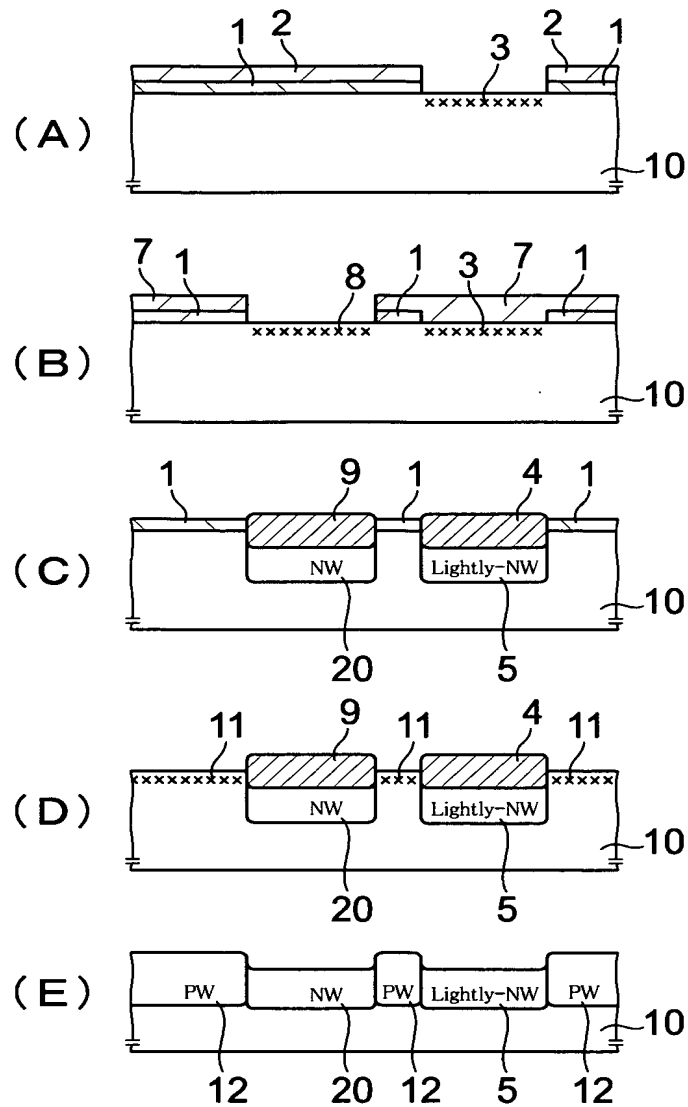
【図 1】



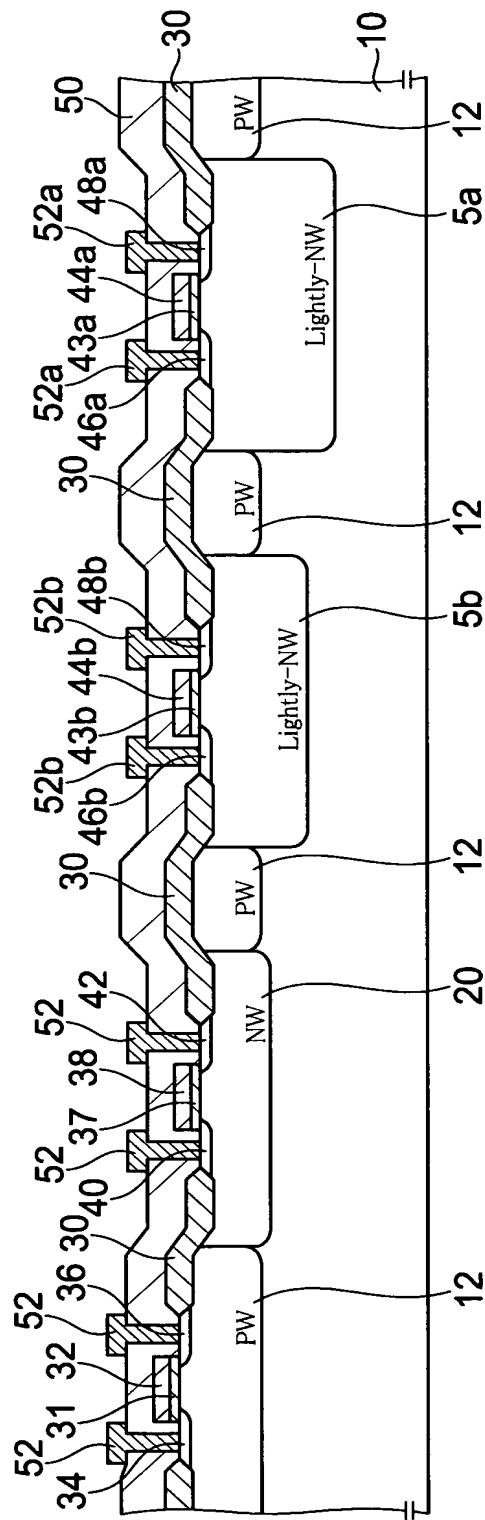
【図 2】



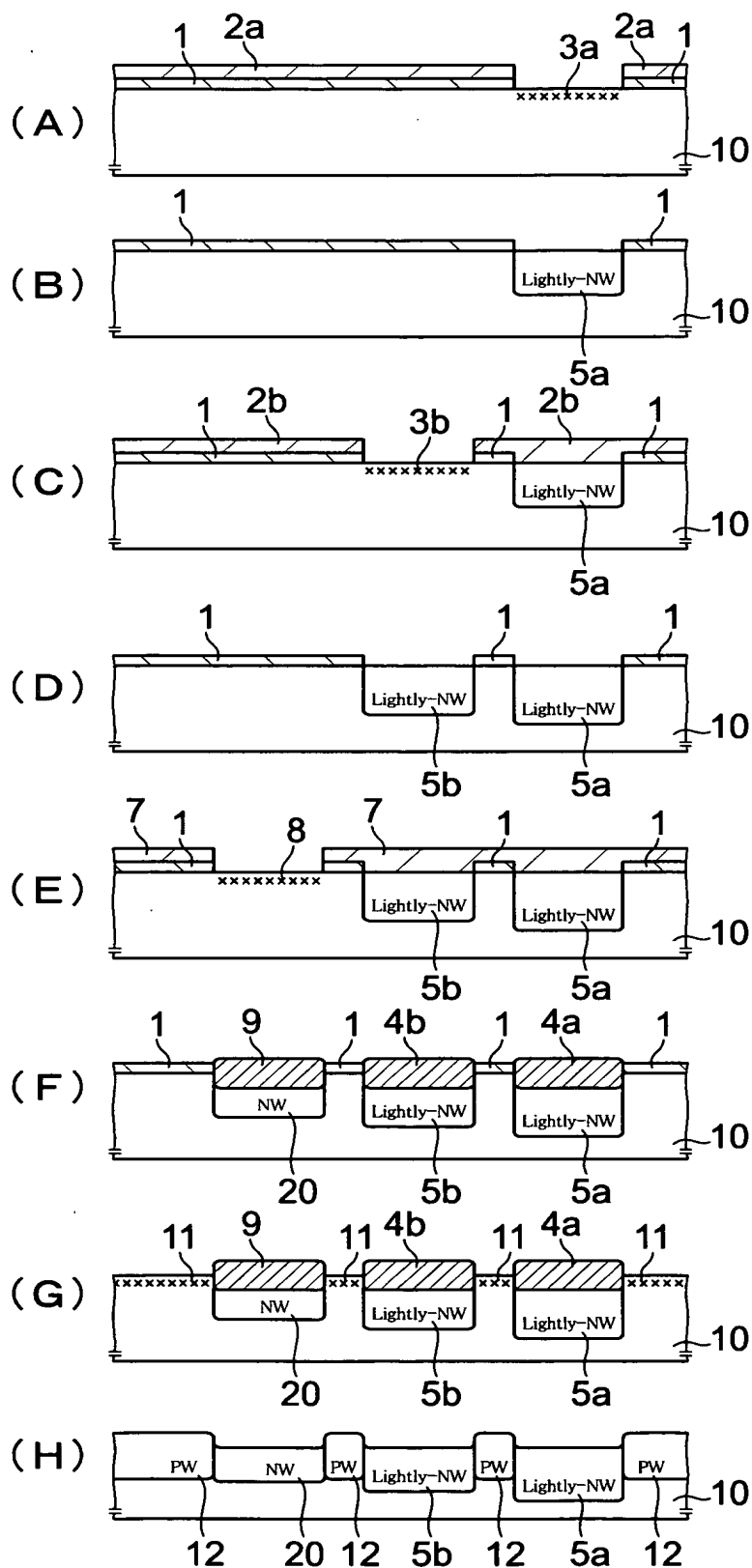
【図 3】



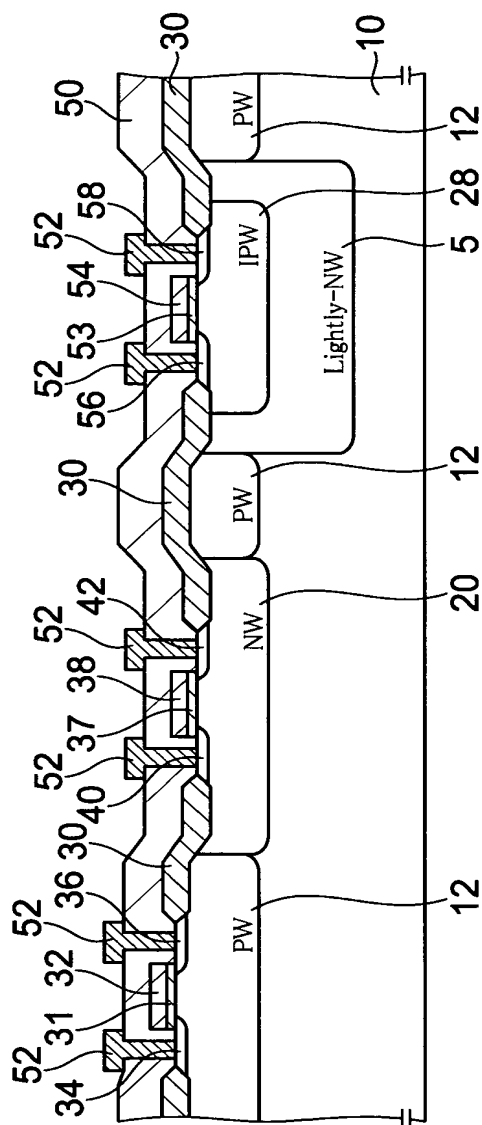
【図 4】



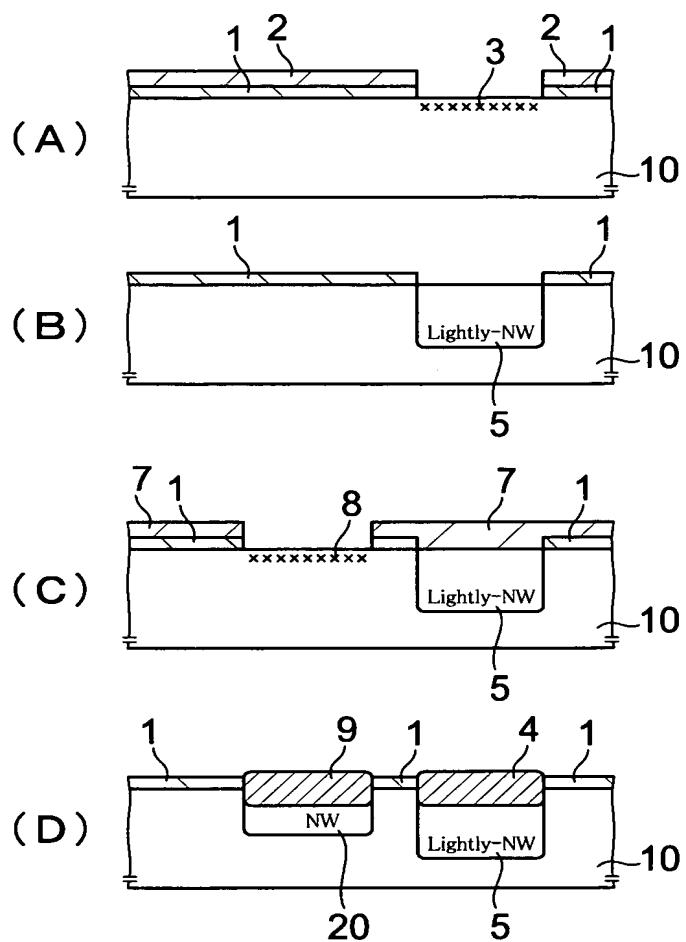
【図 5】



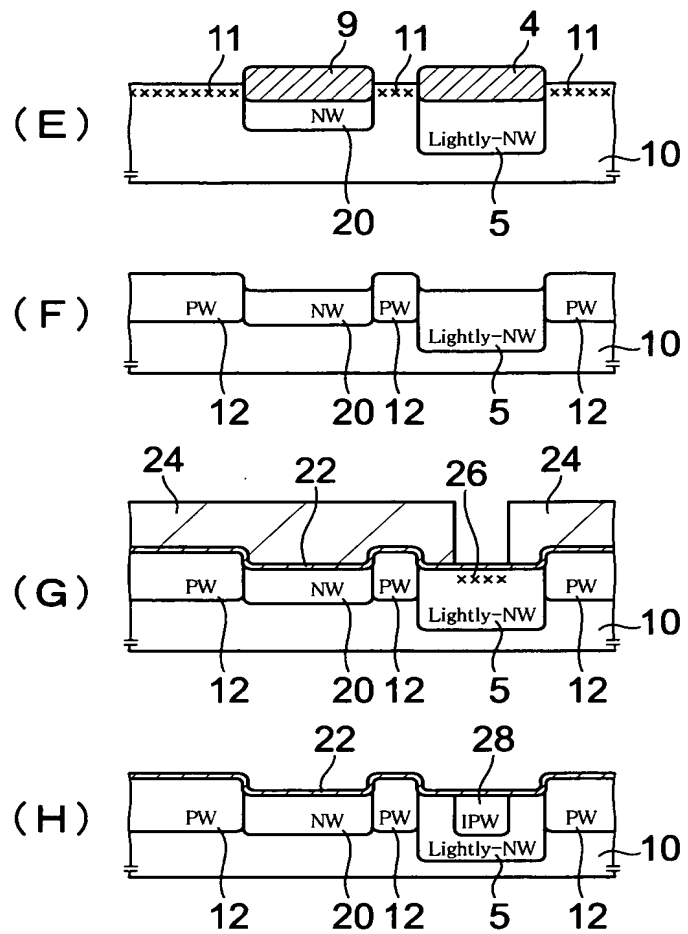
【図 6】



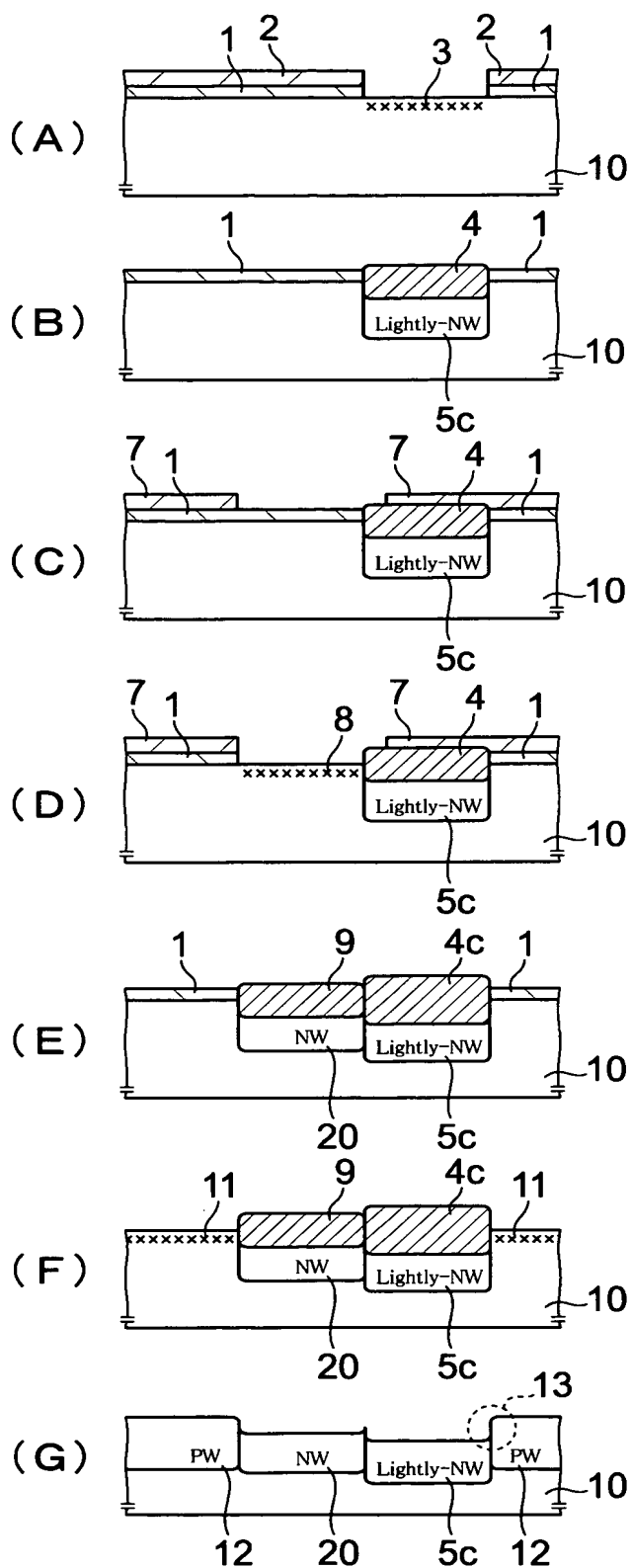
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 段差の小さい 3 種類以上のウエルを少ない製造工程で製造する。

【解決手段】 基板 10 に窒化膜 1 を堆積し、写真製版とエッチングにより Lightly-N ウエル領域の窒化膜 1 を除去した後、基板 10 にリン 3 をイオン注入し、熱酸化により酸化膜 4 を形成する。窒化膜 1 を除去した後、再度、窒化膜 6 を堆積し、写真製版とエッチングにより N ウエル領域の窒化膜 6 を除去した後、基板 10 にリン 8 をイオン注入し、熱酸化により酸化膜 9 を酸化膜 4 と同じ厚さに形成する。窒化膜 6 を除去した後、酸化膜 4, 9 をマスクとして自己整合的にボロン 11 をイオン注入し、窒素雰囲気中で熱処理を行なう。酸化膜 4, 9 を除去すると、Lightly-N ウエル 5、N ウエル 20、P ウエル 12 の 3 つのウエルが完成する。

【選択図】 図 1

特願 2003-196847

出願人履歴情報

識別番号

[000006747]

1. 変更年月日

2002年 5月17日

[変更理由]

住所変更

住 所

東京都大田区中馬込1丁目3番6号

氏 名

株式会社リコー